

PAT-NO: JP404204498A
DOCUMENT-IDENTIFIER: JP 04204498 A
TITLE: DISPLAY CONTROL DEVICE
PUBN-DATE: July 24, 1992

INVENTOR-INFORMATION:

NAME

ITO, HIROMICHI
ONODERA, SUSUMU
IWAMOTO, SHIGENOBU

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD
HITACHI VIDEO ENG CO LTD

COUNTRY

N/A
N/A

APPL-NO: JP02328870

APPL-DATE: November 30, 1990

INT-CL (IPC): G09G005/18, G09G005/12 , G09G005/22 ,
G09G005/40

US-CL-CURRENT: 345/213

ABSTRACT:

PURPOSE: To enable adjustment of a phase of the display data and to superpose many display control devices by supplying a character lock signal which a timing adjusting part outputs and a synchronizing signal to plural display timing control circuits where the synchronizing signal inputs.

CONSTITUTION: The character clock signal CCLKO-P which the timing is

adjusted at an optional phase from the timing adjustment part 1 and the synchronizing signal synchronizing to the character clock signal are generated and they are supplied to a CRT controller (a display timing control circuit 2) related to the generation of the display data 1. Hence the phase of the synchronizing signal delays and the phase of the synchronizing signal is delayed the phase of the display data 1 can be delayed freely. Accordingly in the case that the phase of the display data 1 is faster than the phase of the display data 2 of other plural CRT controller 8 systems, it can make to coincide to the phase of the display data 2 by delaying the phase of the display data 1 by the phase difference. Hence the phase of the display data is adjusted freely and the superposing with many display control devices is easily attained.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-204498

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月24日

G 09 G 5/18
5/12
5/22
5/408121-5G
8121-5G
8320-5G
8121-5G

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 表示制御装置

⑯ 特 願 平2-328870

⑰ 出 願 平2(1990)11月30日

⑱ 発 明 者 伊 藤 浩 道 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所
マイクロエレクトロニクス機器開発研究所内

⑲ 発 明 者 小 野 寺 進 神奈川県横浜市戸塚区吉田町292番地 日立ビデオエンジニアリング株式会社内

⑲ 発 明 者 岩 本 重 信 神奈川県横浜市戸塚区吉田町292番地 日立ビデオエンジニアリング株式会社内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出 願 人 日立ビデオエンジニアリング株式会社 神奈川県横浜市戸塚区吉田町292番地

㉒ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

表示制御装置

2. 特許請求の範囲

- (1) 基準クロックを分周する分周回路と、分周回路の出力クロック信号(キャラクタクロック信号)を入力する複数の表示タイミング制御回路からなり、特定の表示タイミング制御回路から発生する同期信号を他の表示タイミング制御回路が入力として互いに同期動作するようにした表示制御装置において、非表示期間中に、上記キャラクタクロック信号から一時的に'H'(又は'L')の期間を他の'H'(又は'L')期間より長くしてタイミングを調整しキャラクタクロック信号と、上記表示タイミング制御回路が出力する同期信号から上記調整したキャラクタクロック信号に同期させた同期信号と発生するタイミング調整部を設け、タイミング調整部が出力するキャラクタクロック信号と同期信号を、上記同期信号を入力する複数の表示タイミ

ング制御回路に供給するようにしたことを特徴とする表示制御装置。

- (2) 上記タイミング調整部のキャラクタクロック信号のタイミング調整をソフトウェアで自由に変更できることを特徴とする請求項1記載の表示制御装置。

- (3) 上記タイミング調整部を含むことを特徴とする請求項1記載の表示制御装置のLSI。

- (4) 複数の表示データ制御部から出力される表示データを重ね合せて表示させる表示制御装置において、上記表示データ制御部の少なくとも一つの表示データに対し、シフト回路によりシフトした信号の一つを選択する位相調整部を設け、上記位相調整部の出力信号同士、又は表示データ制御部から出力される表示データとを重ね合せて表示させることを特徴とする表示制御装置。

- (5) 上記位相調整部を含むことを特徴とする請求項4記載の表示制御装置のLSI。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、複数の表示制御装置の表示データを重ね合せて表示させるのに好適な表示制御装置に関する。

〔従来の技術〕

一般に表示制御装置は、表示装置に対し図形表示又は文字表示を行わせたり、図形と文字の重ね合せ表示を行わせる。ここで、図形（グラフィック）表示とはメモリに記憶した1ビットの情報を1画素に対応させ、図形を画素の集まりとして表示を行うのに対し、文字（テキスト）表示とは文字に対応させた符号を文字パターン（文字を形成する画素の集まり）に変換して文字を表示させる。

図形と文字の重ね合せ表示を行う表示制御装置用に、作表、ワープロなどのアプリケーションソフトが多数開発されている。

第4図は、図形と文字の重ね合せ表示を行う表示制御装置の一般的な構成を示すブロック図である。なお、この種の装置として関連するものには例えば特開昭62-267792号公報等があげられる。第4図で、2は図形表示の制御を行う表

示タイミング制御回路（以下、CRTコントローラと称す）、8は文字表示の制御を行うCRTコントローラ、15は1画素（ドット）の表示時間に対応するドットクロック信号DOTCK-Pを分周してCRTコントローラ2、8のキャラクタクロック信号CLK1-P、CLK2-Pを発生する分周回路、4は表示装置の画素の明るさを表すビット情報を記憶するグラフィックVRAM、10は文字符号を記憶するテキストVRAM、3はCRTコントローラ2、又は中央演算処理装置CPU（図示せず）によってVRAM4に対するリード/ライト制御を行うメモリ制御部、9はCRTコントローラ8、またはCPU（図示せず）によってVRAM10に対するリード/ライト制御を行うメモリ制御部、6はVRAM4からの読み出しデータを表示装置13に送り出すグラフィック表示データを作成する表示データ制御部、11は文字パターンを記憶するCGメモリ、12はテキストVRAM10より読み出した文字符号データから対応する文字パターンをCGメモリ11より読み出して

表示装置13に送り出すテキスト表示データを作成する表示データ制御部、14は表示データ制御部12出力のテキスト表示データと位相を合わせるために表示データ制御部6出力のグラフィック表示データを遅延させる遅延回路、7は図形の表示データと文字の表示データとを切り替えて重ね合せ表示を行う重ね合せ制御回路、13はCRT等の表示装置である。

同図において、CRTコントローラ2、8は垂直同期信号や水平同期信号の周期が一致するように設定されており、CRTコントローラ2は8からの垂直同期信号VSYNC-Nを入力して画面の表示開始タイミングを一致させて同期動作させる。

ここで遅延回路14の説明を補足する。表示データ制御部12では6と異なりCGメモリを読み出す必要があるため、一般にテキスト表示データはグラフィック表示データより位相が遅れる。そこで、テキストとグラフィックの表示データの位相を合わせるため、グラフィック表示データの位相を遅

らせる遅延回路14が必要となる。

ところで、LSIの高集積化に伴い表示制御装置をLSI化することは小形化、低価格化の点で有益である。そこで、第4図の2、3、6、14、7等を含む図形表示制御装置のLSI（LSI aとする）と5、9、12等を含む文字表示制御装置のLSI（LSI bとする）を考える。この場合、LSI aの遅延回路14ではグラフィック表示データの遅延時間は決まっているため、LSI aと共に使用する文字表示制御装置LSIはLSI bのテキスト表示データの位相と等しくなければならない。しかしながら、表示制御装置LSIの表示データの位相は表示データ制御部12の処理方法が異なるとズレが生じる。CRTコントローラ2、又は8の内部レジスタ設定値によりキャラクタクロック信号の周期単位で表示データの位相は調整できるが、ドットクロック信号の周期単位でのズレは調整できない。このため、LSI aと共に使用できる表示制御装置LSIは限定されてしまうという問題がある。

〔発明が解決しようとする課題〕

上記従来技術は、表示データの位相を自由に調整することができず重ね合せ可能な表示制御装置が限定されてしまう問題があった。本発明の目的は、表示データの位相を自由に調整可能として、容易に多くの表示制御装置と重ね合せ可能とした表示制御装置を提供することである。

〔課題を解決するための手段〕

上記目的を達成するために、基準クロックを分周する分周回路と、分周回路の出力するクロック信号（キャラクタクロック信号）を入力する複数のCRTコントローラからなり、特定のCRTコントローラから発生する同期信号を他のCRTコントローラが入力として互いに同期動作するようにした表示制御装置において、非表示期間中に、上記キャラクタクロック信号から一時的に'H'（又は'L'）の期間を他の'H'（又は'L'）期間より長くしてタイミングを調整しキャラクタクロック信号と、上記CRTコントローラが出力する同期信号から上記調整したキャラクタクロック信

号に同期した同期信号とを発生するタイミング調整部を設け、タイミング調整部が出力するキャラクタクロック信号と同期信号を、上記同期信号を入力する複数のCRTコントローラに供給するようにした。

また、複数の表示データ制御部から出力される表示データを重ね合せて表示させる表示制御装置において、上記表示データ制御部の少なくとも一つの表示データに対し、シフト回路によりシフトした信号の一つを選択する位相調整部を設け、上記位相調整部の出力信号同士、又は表示データ制御部から出力される表示データとを重ね合せて表示させるようにした。

〔作用〕

上記タイミング調整部から、任意の位相（1キャラクタクロック以内）でタイミングを調整したキャラクタクロック信号と上記キャラクタクロック信号に同期にした同期信号を発生して表示データ1の生成に関する上記CRTコントローラに供給することにより、上記同期信号の位相が遅れる

ために表示データ1の位相を自由に遅らせることが出来る。

従って、表示データ1の位相が、他の複数のCRTコントローラ系の表示データ2の位相より早い場合、その位相差分だけ表示データ1の位相を遅らせ表示データ2との位相を一致させることが出来る。また、表示データ1の位相が表示データ2の位相より遅い場合でも、CRTコントローラの設定値の変更によりキャラクタクロック信号単位で表示データ1の位相を早めることにより、表示データ1の位相が表示データ2の位相より早くして、上記同様に表示データ1の位相を遅らせ表示データ2との位相を一致させることが出来る。

また、上記位相調整部により、表示データ制御部の出力する表示データの位相を任意に遅らせることが出来る。

〔実施例〕

第1図は、本発明の一実施例の表示制御装置を示すブロック図である。第1図において、2と8はそれぞれ図形表示と文字表示の制御を行なうC

RTコントローラ、15はドットクロック信号DOTCK-Pを分周してCRTコントローラ2、8のキャラクタクロック信号CCLK0-P、CCLK1-Pを発生する分周回路、1はキャラクタクロック信号CCLK0-Pと垂直同期信号VSYNC1-Nのタイミングを調整してCRTコントローラ2に供給するキャラクタクロック信号CCLK2-Pと垂直同期信号VSYNC2-Nを生成するタイミング調整部、3と9はそれぞれCRTコントローラ2と8、又は中央演算処理装置CPU（図示せず）によってVRAM4と10に対するリード/ライト制御を行なうメモリ制御部、6はVRAM4の読み出しデータからグラフィック表示データを作成する表示データ制御部、11は文字パターンを記憶するCGメモリ、12はテキストVRAM10より読み出した文字符号データから対応する文字パターンをCGメモリ11より読み出してテキスト表示データを作成する表示データ制御部、7はグラフィック表示データとテキスト表示データとを切り換えて重ね合せ表示を行う重ね

合せ制御回路、13はCRT等の表示装置である。

以下、タイミング調整部1の機能について詳細に述べる。第2図は、タイミング調整部1が作動する以前のテキスト表示データとグラフィック表示データとの位相が時間T2ズレた(テキスト表示データの位相がドットクロック信号DOTCK-Pの3周期分、即ち3ドットクロック期間遅い)場合のタイミングチャート図である。ここで、CLK0-Pは第1図の分周回路15でDOTCK-Pを8分周とした信号で、かつCLK1-Pと等しい場合で、タイミング調整部1ではCLK2-P=CLK0-P、VSYNC2-N=VSYNC1-Nのままである。これにたいし、第3図にタイミング調整部1を作動させてテキスト表示データとグラフィック表示データとの位相を一致させたタイミングチャート図を示す。これはタイミング調整部1でCLK2-PとVSYNC2-Nの位相を調整し、VSYNC2-Nの立上りをVSYNC1-Nの立上りより時間T2だけ遅らせることによりテキスト表示データとグ

ラフィック表示データとの位相を一致させる。ここで、CLK2-Pの位相を調整する理由は、CRTコントローラ2では、入力VSYNC2-PがCLK2-Pと同期をとる必要がある(VSYNC2-Pの変化は、例えばCLK2-Pの立ち下り)からである。

次に、第4図にタイミング調整部1の詳細ブロック図を、第5図にその動作タイミングチャート図を示す。まず、CLK2-Pの生成方法について述べる。一時的に'H'の期間を3ドットクロック長くするため、

$$(SW2-P, SW1-P, SW0-P) \\ = ('L', 'H', 'H')$$

とする。ここで、SW0-P~SW2-PはCLK2-Pの'H'期間を何ドットクロック長くするかを決める位相調整セレクト信号である。第4図で、20はCLK0-PをDOTCK-PでシフトするシフトでCLK1-P~CLK7-Pを出力(第5図では、CLK1-P~CLK3-Pを図示)、21はセレクト信号SW0-P~SW2

-PによりCLK1-P~CLK7-Pの内一つを選択するセレクトでSCCLK-Pを出力(この場合、SCCLK-P=CLK3-PでSCCLK-PはCLK0-Pを3ドットクロックだけシフトした信号)、22はCLK0-Pの立ち下がりに変化するVSYNC1-NをCLK0-Pの立上りに変化させるためのフリップフロップでS0-Pを出力、23、24はフリップフロップで、25はセレクト信号SW2-Pが'L'の時24の出力を、'H'の時25の出力を選択するセレクトでS1-Pを出力、26は(S1-P, S0-P)が('L', 'L')の時CLK0-Pを、('L', 'H')の時'H'を、('H', 'H')の時SCCLK-Pを選択するセレクトでCLK2-Pを出力する。従って、S0-P, S1-P、およびCLK2-Pのタイミングチャート図は第5図に示すような波形となる。(S0-P, S1-Pはリセット信号RESET-Pがアクティブになるので最初、共に'L')

次に、VSYNC2-Nの生成方法について述

べる。第4図で、27はVSYNC1-NをDOTCK-Pでシフトするシフト、28はセレクト信号SW0-P~SW2-Pによりシフト27の出力信号の内一つを選択するセレクトでSVSYNC-Nを出力(この場合、SVSYNC-NはVSYNC1-Nを3ドットクロック期間だけシフトした信号)、29はS0-PとS1-Pが共に'H'の時'H'を出力するアンド回路、30は29の出力信号が'L'の時VSYNC1-Nを、'H'の時SVSYNC-Nを選択するセレクトでVSYNC2-Nを出力する。従って、VSYNC2-Nのタイミングチャートは第5図に示すような波形となる。

この結果、CLK2-Pの'H'期間は、一時的に3ドットクロック期間長くなり、VSYNC2-NはCLK2-Pの立ち下りに同期し、VSYNC2-N立上りはVSYNC1-Nの立上りより3ドットクロック期間遅くなる。従って、第3図のようにグラフィック表示データの開始期間がテキスト表示データの場合よりT2(テキストとグラフィックの表示データの位相差3ドット

クロック期間)だけ遅れるため、テキストとグラフィックの表示データの位相が一致する。なお、第6図に $CLK2-P$ の'L'(第4図では'H')の期間を長くして位相を調整するタイミング調整部1の詳細ブロック図、第7図にその動作タイミングチャート図を示す。

以上、位相差 $T2 = (3 \text{ ドットクロック期間})$ を例に述べたが、3ビットの位相調整セレクト信号 $SW0-P \sim SW2-P$ の設定値により、対応可能な位相差 $T2$ の範囲は $0 \leq T2 \leq (7 \text{ ドットクロック期間})$ である。また、位相差 $T2 \geq (8 \text{ ビットクロック期間} = 1 \text{ キャラクタクロック期間})$ さらに、逆にテキスト表示データの位相が早い $T2 < 0$ の場合でも、ソフトウェアでCRTコントローラ2、又はCRTコントローラ8の内部レジスタの設定値を変更してキャラクタクロック期間の単位で位相調整することにより、 $0 \leq T2 \leq (7 \text{ ドットクロック期間})$ とできる。従って、容易にテキストとグラフィックの表示データの位相を自由に調整可能である。

なお、第4図、第6図の位相調整セレクト信号 $SW0-P \sim SW2-P$ はレジスタ値としてソフトウェアで設定する方法、又はLSIの入力信号として容易に値を設定できるようにする。

第8図は、本発明の第二の実施例の表示制御装置を示すブロック図である。第8図において、16と17はそれぞれグラフィックとテキストの表示データの位相を調整する位相調整部で、他の構成は、第1図や第9図の同一番号の構成要素と等しい。位相調整16と17は、それぞれシフト回路によりグラフィックとテキストの表示データの位相をドットクロック信号、又はキャラクタクロック信号でシフトし、シフトした任意の一つを選択する。このため、表示データの位相をドットクロック期間、又はキャラクタクロック期間の単位でソフトウェアにより自由に調整可能である。なお、位相調整部は16と17のどちらか一方だけでもよい。

(発明の効果)

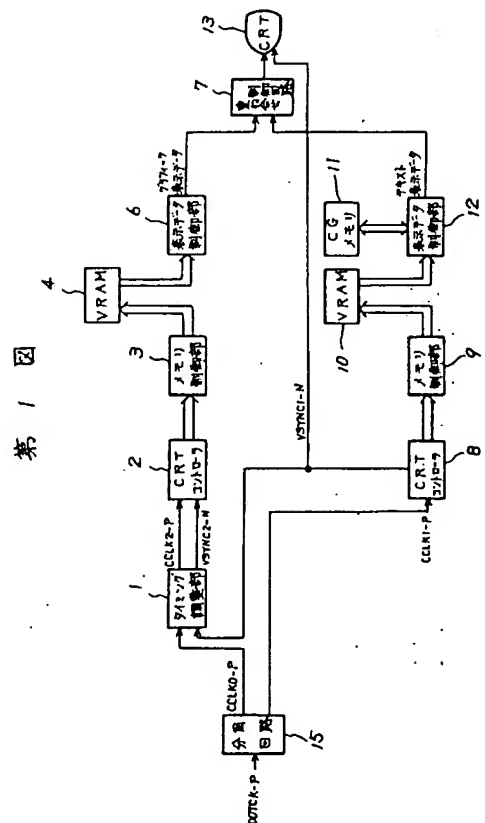
以上説明したように、本発明によれば、表示データの位相を自由に調整出来るので、容易に多く

の表示制御装置と重ね合せ可能とする。

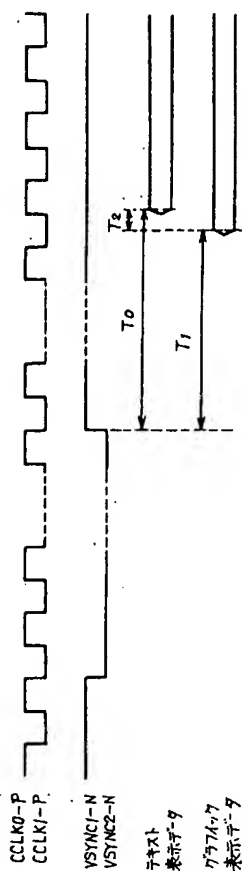
4. 図面の簡単な説明

第1図は本発明の一実施例の表示制御装置の構成を示すブロック図、第2図と第3図は第1図の動作を示すタイミングチャート図、第4図と第6図は第1図のタイミング調整部1の構成を示す詳細ブロック図、第5図と第7図はそれぞれ第4図、第6図の動作を示すタイミングチャート図、第8図は本発明の第二の実施例の表示制御装置の構成を示すブロック図、第9図は従来例の表示制御装置の構成を示すブロック図である。

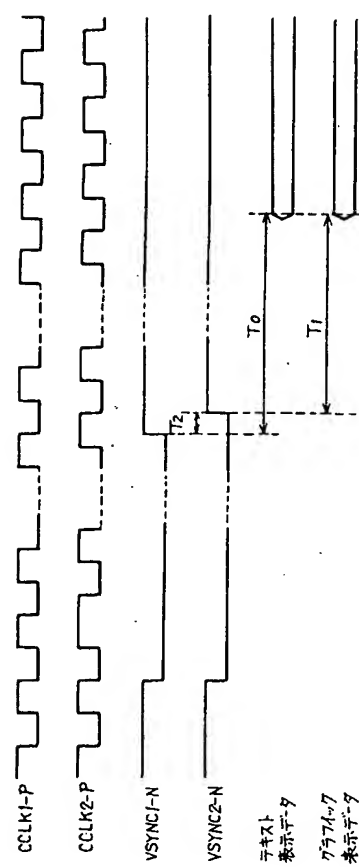
1…タイミング調整部、2…CRTコントローラ(表示タイミング制御回路)、16、17…位相調整部。



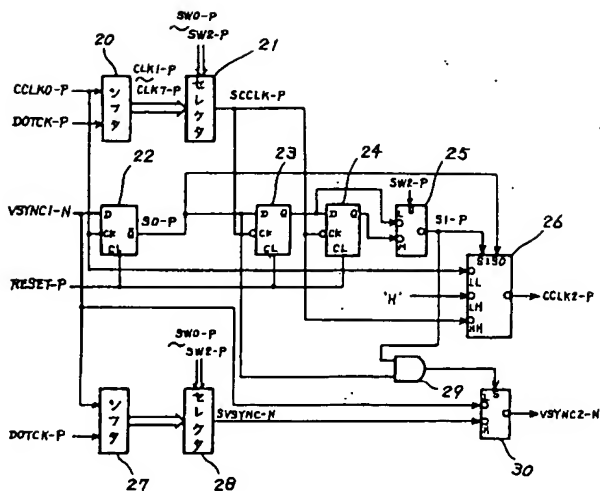
第 2 図



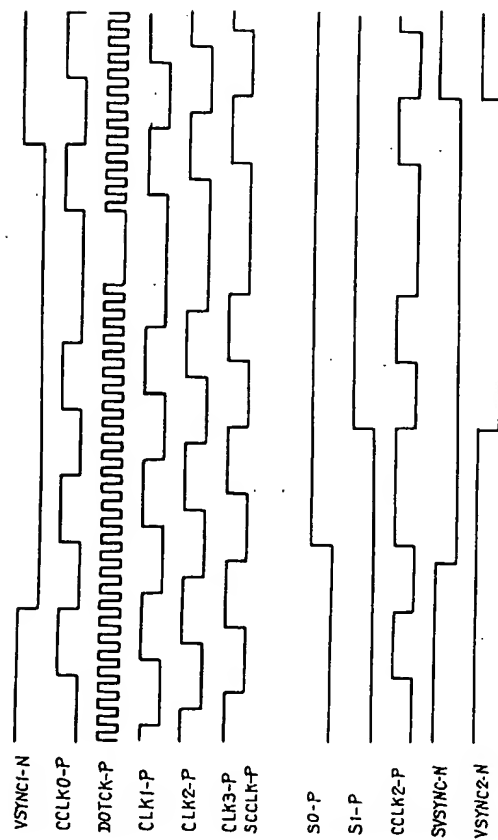
第 3 図



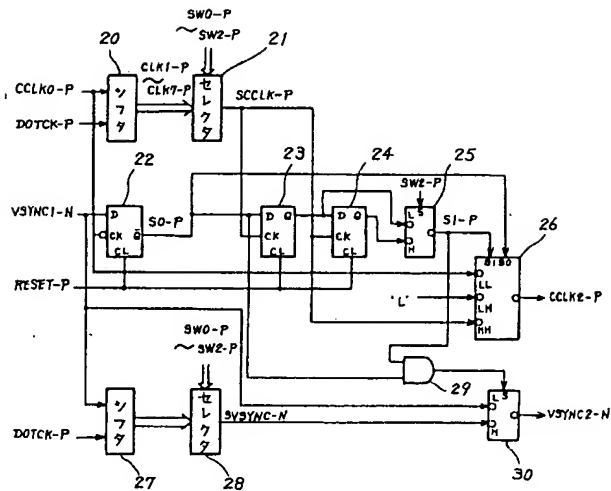
第 4 図



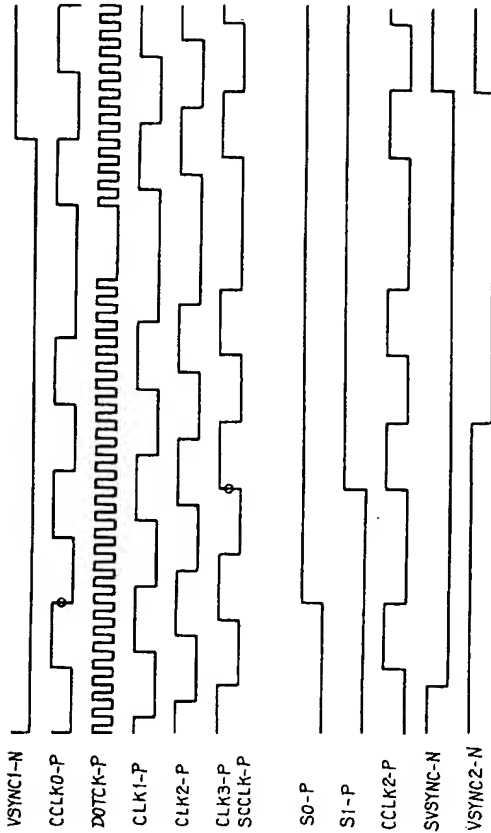
第 5 図



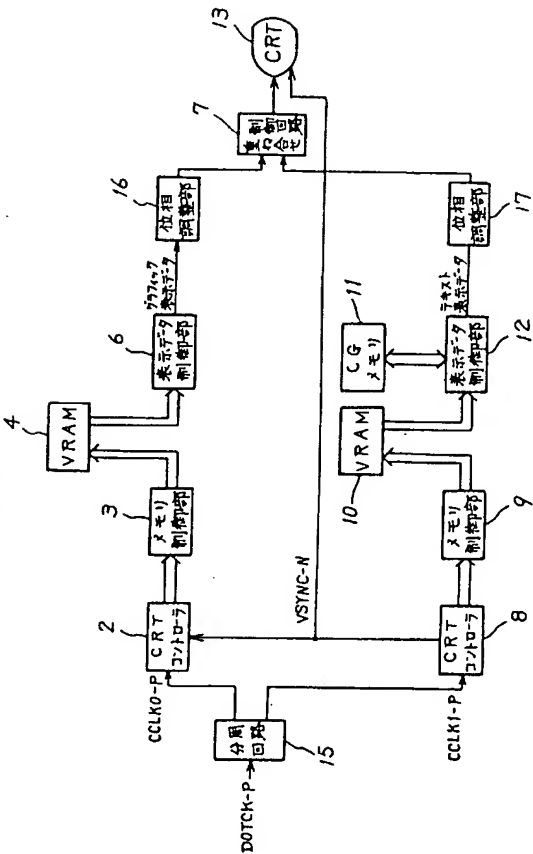
第 6 図



第 7 図



第 8 図



第 9 図

